

English Abstract of  
Japanese Unexamined Patent Application Publication No.6-  
20070

5 Publication date: January 28, 1994  
Filing number: 4-173535  
Filing date: June 30, 1992  
Applicant: Mitsubishi Electric Corporation  
Inventor: Hiroyuki Miyata  
10 Title: "Parallel Data Processing Device"

Abstract

In a parallel data processing device, a plurality of processing elements (PEs) 50 are arranged two-dimensionally as shown in Fig. 2. Each PE 50 has the structure shown in Fig. 1. The PE 50 has a basic arithmetic portion 51 for performing basic calculation operation. A selector 52 is provided for selecting among data supplied from adjacent four PEs 50. A transfer shift register 53 and a selector 54 are provided in the output side of the selector 52. The transfer shift register 53 stores the selected data. The selector 54 performs its selection operation under control by the F register 55. More specifically, when the value at the F register 55 is "0", the selector 54 selects data transmitted to the subject PE 50, and outputs the selected

data to another PE 50 that is connected to the output side of the subject PE 50. On the other hand, when the value at the F register 55 is "1", the selector 54 selects data in the transfer shift register 53, and outputs the selected data to the other PE 50 that is connected to the output side of the subject PE 50. The PE 50 further includes an addition register 56, an X address register 57, and a Y address register 58. The addition register 56 is used for performing adding operation. The X address register 57 stores an X address of the subject PE 50. The Y address register 58 stores a Y address of the subject PE 50.

With the above-described structure, the parallel processing device can calculate a total sum in the following manner. It is now assumed that the parallel processing device has 4 x 4 processing elements 50 as shown in Fig. 6. In this case, the 4 x 4 processing elements 50 have X addresses of "00" to "11" and Y addresses of "00" to "11" as shown in Fig. 6. In each processing element 50, therefore, the X address register 57 and the Y address register 58 are set with the corresponding X and Y addresses. It is also assumed that initial values of "0" - "9", to be summed up together, are distributed in the PEs 50 as shown in Fig. 7. In each PE 50, the initial value is set in both of the transfer shift register 53 and the addition register 56.

First, in each PE 50, the F register 55 is set to 0 or

1 according to the X address value set in the X address  
register 57. As a result, the F registers 55 in all the PEs  
50 are selectively set to 0 or 1 as shown in Fig. 6. Data  
is transmitted in the x-direction from the transfer shift  
5 registers 53 in PEs 50, whose F registers 55 are set with  
"1", to the transfer shift registers 53 in the other  
remaining PEs 50. Fig. 8 shows the transferred results.

Then, in each PE 50, the value thus sent to the  
transfer shift register 53 is added to the value originally  
10 set in the addition register 56, and the added result is  
stored in the addition register 56. Fig. 9 shows the added  
results. In each PE 50, the added result is transferred  
from the addition register 56 to the transfer shift register  
53.

15 Then, in each PE 50, the F register 55 is set to 0 or  
1 according to the Y address value set in the Y address  
register 58, and the transfer operation is conducted in the  
y-direction in the same manner as described above. Fig. 10  
shows the transferred result. Then, data adding operation  
20 is conducted in the same manner as described above. Fig. 11  
shows the data added result.

The transfer and adding operations the same as  
described above are conducted successively as shown in Figs.  
12 - 15. Finally, the total sum is obtained at the PE 50  
25 that is located at the upper-left end position.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-20070

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 15/80

15/16

識別記号

3 9 0 T

庁内整理番号

9190-5L

9190-5L

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 10 頁)

(21)出願番号 特願平4-173535

(22)出願日 平成4年(1992)6月30日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 宮田 裕行

神奈川県鎌倉市大船五丁目1番1号 三菱

電機株式会社情報電子研究所内

(74)代理人 弁理士 金山 敏彦 (外2名)

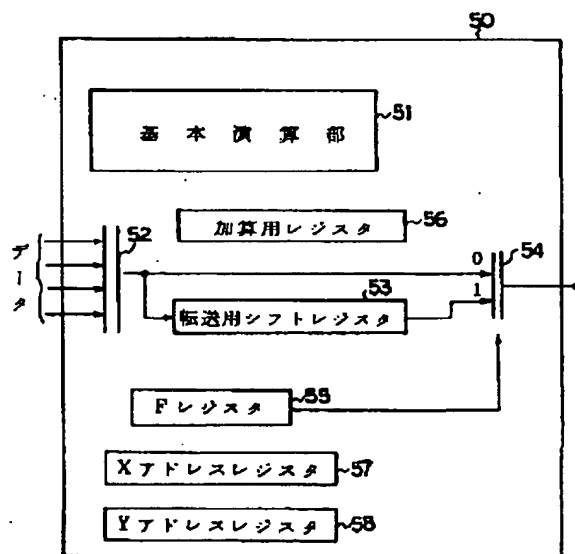
(54)【発明の名称】 並列データ処理装置

(57)【要約】

【目的】データ転送速度を高速化した並列データ処理装置を提供することを目的とする。

【構成】各PE50内に設けたXアドレスレジスタ57及びYアドレスレジスタ58の値により、セクタ54を制御するFレジスタ55の制御値を順に変更する。これによって、セクタ52を介して入力されたままの転送データ及び転送用シフトレジスタ53内のデータのいずれか一方が選択されて他のPEに転送される。

本発明のPE



50: 基本演算装置

52: 4 to 1 セクタ

54: 2 to 1 セクタ

## 【特許請求の範囲】

【請求項1】 Xアドレス及びYアドレスで位置決定される2次元格子の各交点箇所にそれぞれ設けられた同一構成の基本演算要素からなる演算部と、前記各基本演算要素に対して発する同一命令により該基本演算要素が同一動作を行うように制御する制御部とを備えた並列データ処理装置において、  
前記各基本演算要素は、それぞれ、  
前記Xアドレス及びYアドレスをそれぞれ格納するXアドレスレジスタ及びYアドレスレジスタと、  
他の基本演算要素から転送されてきたデータに対して所定の演算処理を行う演算処理手段と、  
この演算処理手段による演算処理結果を保持するための転送用レジスタと、  
他の基本演算要素から転送されてきた転送データ及び前記転送用レジスタ内のデータのいずれか一方を選択して出力するセレクトと、  
を備えと共に、  
前記制御部は、前記Xアドレス及びYアドレスに応じて前記各基本演算要素内のセレクトを個々に制御することを特徴とする並列データ処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、並列データ処理装置に関し、特に2次元格子上に同一の基本演算要素が配置され、制御部から与えられる同一命令により全ての基本演算要素が同一動作を行う並列データ処理装置に関する。

## 【0002】

【従来の技術】従来、この種の技術としては、例えば図2に示すようなものがあった。

【0003】図2は、従来の並列データ処理装置の一構成例を示す図であり、この並列データ処理装置は、演算を行う演算部10と該演算部10の制御を行う制御部20とを備えている。演算部10は、2次元格子状を成す信号線の各交点箇所に、4×4個の基本演算要素（以下、単にPEという）11がそれぞれ接続されている。そして、この各PE11の構成例が、Batcher, K.E 著、「Design of a Massively Parallel Processor; IEEE Trans.」C29(1980-9) (米) P.836-840に記載され、その概略構成図を図3に示す。

【0004】図3において、各PE11は、基本演算を行う基本演算部12と、隣接する4個のPE11からのデータを選択するためのセレクト13と、その選択されたデータ値を格納するレジスタ14と、PE11内の演算を制御するためのFレジスタ15とを備えている。

【0005】このような構成の従来の並列データ処理装置は、制御部20からの送られる命令により各PE11が同一の動作を行う。そして、セレクト13により選択されたPE11間を転送するデータは、一旦、レジスタ14に格納された後、基本演算部12に取り込まれた

り、あるいは他のPE11へ送られたりする。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記従来例の並列データ処理装置では、全体の総和を求める際に、各PE11間のデータ転送と各PE11での加算とを繰り返す必要があるため、データ転送においては、データを一旦、レジスタ14に格納しつつ行われるので、処理時間が非常にかさむという問題があった。

【0007】本発明は上記従来の問題点に鑑み、データ転送速度を高速化した並列データ処理装置を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明は上記目的を達成するために、Xアドレス及びYアドレスで位置決定される2次元格子の各交点箇所にそれぞれ設けられた同一構成の基本演算要素からなる演算部と、前記各基本演算要素に対して発する同一命令により、該基本演算要素が同一動作を行うように制御する制御部とを備えた並列データ処理装置において、前記各基本演算要素は、それぞれ、前記Xアドレス及びYアドレスをそれぞれ格納するXアドレスレジスタ及びYアドレスレジスタと、他の基本演算要素から転送されてきたデータに対して所定の演算処理を行う演算処理手段と、この演算処理手段による演算処理結果を保持するための転送用レジスタと、他の基本演算要素から転送されてきた転送データ及び前記転送用レジスタ内のデータのいずれか一方を選択して出力するセレクトと、を備えと共に、前記制御部は、前記Xアドレス及びYアドレスに応じて前記各基本演算要素内のセレクトを個々に制御することを特徴とする。

## 【0009】

【作用】上記構成により本発明によれば、各基本演算要素内に設けたXアドレスレジスタ及びYアドレスレジスタの値に応じて、セレクトを順次制御することにより、各基本演算要素において入力されてきた転送データ及び転送用レジスタ内のデータのいずれか一方が選択されて他の基本演算要素に転送されるので、転送先でない途中の基本演算要素には転送データが保管されることなく、そのまま通過することとなる。

## 【0010】

【実施例】図1は、本発明に係る並列データ処理装置の第1の実施例を示し、該並列データ処理装置におけるPEの概略構成ブロック図である。

【0011】本実施例は、上記した図2における演算部10中のPE11に代えて、機能の異なるPE50を設けたものであり、この各PE50は、従来装置と同様に基本的な演算を実行する基本演算部51を有している。さらに、隣接する4個のPE50からのデータを一つ選択するためのセレクト52が設けられ、そのセレクト52の出力側には、選択されたデータを格納する転送用フトレジスタ53及びセレクト54が接続されている。

【0012】セクタ54は、Fレジスタ55の制御により選択動作を行い、例えばFレジスタ55の値が“0”である場合は当該PE50に転送されてきたデータ値を、また“1”である場合は転送用シフトレジスタ53の値をそれぞれ選択し、当該PE50の出力側に接続される他のPE50へ出力する。

【0013】また、本実施例の各PE50には、加算を行う際に使用する加算用レジスタ56と、各PE50の位置するXアドレスを格納するXアドレスレジスタ57と、各PE50の位置するYアドレスを格納するYアドレスレジスタ58とがそれぞれ設けられている。

【0014】次に、以上のように構成される並列データ処理装置を用いて、総和を求める際の動作を図4及び図5のフローチャートに従って説明する。また、図6～図15は総和を求める際の具体例を示す図であり、本動作の説明に従って適宜参照する。

【0015】図4の説明に先立ち、Xアドレスレジスタ57及びYアドレスレジスタ58について説明する。各PE50のアドレスは、図6に示すように設定されており、すなわち、図6の北西端に位置するPE50の

(X, Y)アドレスを(0, 0)とし、順に東方向に進むに連れてXアドレスが増加し、南方向に進んでYアドレスが増加する。なお、この図において、アドレスは2進数で表示され、各PE50内のXアドレスレジスタ57及びYアドレスレジスタ58には各々対応する値を予め格納しておく。

【0016】まず、図4のステップS101で、各PE50内で加算すべき初期値を、転送用シフトレジスタ53と加算用レジスタ56両方に設定する。これは、図7に示すように、4×4個のPE50からなる並列データ処理装置の場合は、各PE50内に0～9の値を表示することで行われる。また、初期化として、すべてのPE50のFレジスタ55の値を“0”としておく。これにより、初期値として転送されてきたデータは、そのまま隣接するPE50へ送られる。

【0017】続くステップS102では、これより以降の処理であるステップS103～ステップS110までを順に次式のr値を変更して実行することを指示する。

【0018】 $r = (\log N - 1)$

すなわち、 $r = 0$ から $(\log N - 1)$ まで、後述するステップS103～S110の処理を繰り返す。ここで、Nは演算部10がN×N個のPE50で構成されていることを示し、本実施例では $N = 4$ であり、そのため、r値は、“0”と“1”の2回分をステップS103からステップS110まで行うことになる。以下では、まず、 $r = 0$ の場合を説明する。この $r = 0$ の場合における後述するステップS103からステップS110までの処理は、演算部10を構成するN×NのPE50群を2×2からなるグループに分け、各グループ内で和を求め、その結果を各グループ内の北西に位置するP

E50に格納するという処理内容を示している。

【0019】ステップS103において、Xアドレスの最下位の(r+1)ビットのうち、最上位ビットが“1”で残りのビットが“0”のPE50のFレジスタ55を“1”とする。本実施例では、Xアドレスの下位1ビットが“1”のアドレスを持つPE50におけるFレジスタ55を“1”に設定する。すなわち、r値が“0”の場合は、本ステップS103の処理で対象とする下位rビットが1ビットだけになるため、対象とするXアドレスの最下位1ビットが“1”のものが選ばれる。もし、r値が“1”である場合は、対象とするXアドレスの最下位2ビットが“01”のものを、r値が2の場合は対象とするXアドレスの最下位3ビットが“001”のものを選ぶことになる。r値が3以上の場合も同様である。4×4個のPE50からなる本実施例の並列データ処理装置の場合では、各PE50のFレジスタ55の値は図6に示すように設定される。従って、Fレジスタ55の値が“1”のPE50からデータを送り、残りの転送方向にあるPE50がそのデータを受け取ることになる。

【0020】ステップS104では、各PE50の転送用シフトレジスタ53の値を、 $2^r$ 個(本実施例では1個)西にあるPE50の転送用シフトレジスタ53へ転送する。この場合、各PE50内のFレジスタ55の値が図6で示したようになっているため、転送結果は図8に示すようになる。

【0021】ステップS105では、各PE50において、転送用シフトレジスタ53の値と元からそのPE50が所有している加算用レジスタ56の値とを加算し、その加算結果を再度、加算用レジスタ56に格納する。これは、図8に示す加算を行うことを意味し、その結果が図9に示すようになる。

【0022】ステップS106においては、前記ステップS105で加算されて加算用レジスタ56に格納されている値を転送用シフトレジスタ53に送り、全PE50のFレジスタ55の値を“0”にする。図5のステップS107では、Yアドレスの最下位の(r+1)ビットのうち、最上位ビットが“1”で残りのビットが“0”のPE50をFレジスタ55を“1”とする。本実施例では $r = 0$ のため、Yアドレスの下位1ビットが“0”のアドレスを持つPE50のFレジスタ55を“1”とする。その結果、各PE50のFレジスタ55の値は、北方向から見て第1段目と第3段目の各PE50のFレジスタ55のみが“1”となり、他のPE50のFレジスタ55の値は初期値の“0”のままである。

【0023】ステップS108においては、各PE50の転送用シフトレジスタ53の値を、 $2^r$ 個(本実施例では1個)北のPE50の転送用シフトレジスタ53へ転送する。この場合、各PE50内のFレジスタ55の値は先に述べたように、北方向から見て第1段目と第3

段目の各PE50のFレジスタ55のみが“1”になっているため、この転送結果は図10に示すようになる。

【0024】ステップS109では、各PE50内において、転送されてきた転送用シフトレジスタ53の値と、元から当該PE50が所有している加算用レジスタ56中の値とを加算する。その加算結果を再び、加算用レジスタ56に格納する。これは、図10に示す加算を行うことを意味し、その結果が図11に示すようになる。

【0025】ステップS110では、前記ステップS109で加算されて加算用レジスタ56に格納されている値を転送用シフトレジスタ53に送り、全PE50のFレジスタ55の値を“0”にする。

【0026】こうして、4個グループに分けられたPE50群の各グループ内の和が算出され、その算出結果が各グループ内の北西に位置するPE50の転送用シフトレジスタ53に格納されることになる。

【0027】ステップS111において、これらの値が次のように処理されて北西端のPE50に求める総和が格納される。すなわち、上記同様に、前記グループ内の北西に位置するPE50のうち、東側から2段目のPE50に位置する転送用シフトレジスタ53の値（図中では18、14）を、2個西に位置するPE50の転送用シフトレジスタ53へ転送する。その転送結果は図12に示すようになる。さらに、そのPE50において、転送されてきた値と元から該PE50が所有している値（図中では10、24）とを加算し、その加算結果を再度、加算用レジスタ56に格納する。その結果が図13に示すようになる。最後に、その加算用レジスタ56に格納された値が北西端のPE50に転送され（図14参照）、該北西端のPE50において、転送されてきた値と元から所有している値とが加算され、加算用レジスタ56に格納される。その結果が図15に示すようになる。

【0028】以上、 $r$ 値=0の場合について説明したが、 $r$ 値=1の場合でも同様に行える。すなわち、図4のステップS103、S104の処理が図12に、ステップS105、S106の処理が図13に、ステップS107、S108の処理が図14に、また図5のステップS109、S110の処理が図15にそれぞれ対応する。そして、この場合は、機能的には、全体を $4 \times 4$ のグループに分け、その総和をグループ内の北西に位置するPE50に格納することになる。

【0029】これを一般化すると、 $r$ 値が $m$ の時には、2の $(m+1)$ 乗個のPE50を一辺とする正方形のPEグループの総和を求め、その値を北西端に位置するPE50に格納することになる。また、条件として $r$ 値は、順に“0”から増加していき、 $r=m$ の時には $r=(m-1)$ の結果を使用して処理することが挙げられる。

【0030】このように、本実施例では、 $4 \times 4$ 個のPE50からなる例で説明したが、これより多くの数のPE50からなる演算部10を使用すると、各PE50間のデータ転送の距離は長くなるが、従来例のように隣接するPEでデータ転送を行った場合に比べ、格段に高速処理ができることが分かる。すなわち、従来例では、各PE間は1つずつ必ず経由してデータを転送しなければならなかったが、本実施例においては、Xアドレスレジスタ57及びYアドレスレジスタ58の値に基づいて設定されたFレジスタ55の値により、途中のPE50の転送用シフトレジスタ53に保管されることなく通過する形でデータ転送が可能となる。

【0031】次に、本発明の第2実施例を図16～図20を参照しつつ説明する。

【0032】本実施例では、前記第1実施例において求められ、図15に示すように北西端のPE50に格納されている総和値を全てのPE50に戻す処理を行う。

【0033】まず、演算部10の中で、北西端に位置するPE50を除いて、各列の中で最も北にあるPE50のFレジスタ55の値を“0”、北西端のPE50のFレジスタ55の値を“1”とする。これは、各PE50内で、Yアドレスが全て“0”でXアドレスが“0”でないPE50のFレジスタ55を“0”とし、Xアドレス及びYアドレス共に全て“0”のPE50のFレジスタ55を“1”とすることにより行われる。他のPE50のFレジスタ55の値は特に指定しない。この結果を図16に示す。このような処理を行うのは、北西端のPE50からデータを送り、その東方向に位置するPE50に全てデータを送るためである。

【0034】次に、各PE50の転送用シフトレジスタ53の値をN個東方向に転送する。ここで、N個の転送とは、順次1つずつPE50内の転送用シフトレジスタ53に取り込まれていくのではなく、中間のPE50はデータのみ送り、データ転送自体は各PE50内を通過する。そのため、従来例のように、個々のPE毎に送る方式に比べ、高速な転送が可能となる。その結果が図17に示すようになり、北西端のPE50の上記第1実施例で求められた総和が最北端に位置するPE50にすべて転送されたことが分かる。

【0035】続いて、最北端に位置するPE50から、各々の南方向に位置するPE50へデータを転送することを行う。まず、Fレジスタ55の設定としては、最北に位置するPE50のFレジスタ55を“1”、それ以外を“0”とする。その結果を図18に示す。このような処理を行うのは、最北端のPE50からデータを南方向に転送し、全てのPE50に前記総和値を転送するためである。

【0036】最後に、各PE50の転送用シフトレジスタ53の値をN個南方向に転送する。その結果、図19に示すように、全てのPE50に総和値が転送される。

【0037】なお、各PE50が所有する値が全体の演算部10からみて、どの程度の割合になるかを調べる場合は、上記第1及び第2の実施例を実施後、転送された総和値で各PE50内の値を図20に示すように割算すればよい。また、上記実施例では、説明を簡単にするために4×4のPE50からなる小規模な演算部10を使用した場合を述べたが、従来例に比較して本発明における高速性は、PE50の数が増加すればするだけ発揮される。

【0038】

【発明の効果】以上詳細に説明したように、本発明によれば、各PE内に設けたXアドレスレジスタ及びYアドレスレジスタの値に応じて、セレクタを順次制御することにより、各PEにおいて入力されてきた転送データ及び転送用レジスタ内のデータのいずれか一方が選択されて他のPEに転送されるので、転送先でない途中のPEには転送データが保管されることなく、そのまま通過することとなる。従って、高速なデータ転送が可能となり、高速の総和演算等を行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係る並列データ処理装置の第1実施例における基本演算要素を示す概略構成ブロック図である。

【図2】並列データ処理装置の構成例を示す図である。

【図3】従来の基本演算要素の構成例を示す図である。

【図4】前記第1実施例の総和演算処理の前半を示すフローチャートである。

【図5】前記第1実施例の総和演算処理の後半を示すフローチャートである。

【図6】前記第1実施例の総和演算処理の具体例を示す図である。

【図7】前記第1実施例の総和演算処理の具体例を示す図である。

【図8】前記第1実施例の総和演算処理の具体例を示す図である。

【図9】前記第1実施例の総和演算処理の具体例を示す図である。

【図10】前記第1実施例の総和演算処理の具体例を示す図である。

【図11】前記第1実施例の総和演算処理の具体例を示す図である。

【図12】前記第1実施例の総和演算処理の具体例を示す図である。

【図13】前記第1実施例の総和演算処理の具体例を示す図である。

【図14】前記第1実施例の総和演算処理の具体例を示す図である。

【図15】前記第1実施例の総和演算処理の具体例を示す図である。

【図16】前記第2実施例の総和演算処理の具体例を示す図である。

【図17】前記第2実施例の総和演算処理の具体例を示す図である。

【図18】前記第2実施例の総和演算処理の具体例を示す図である。

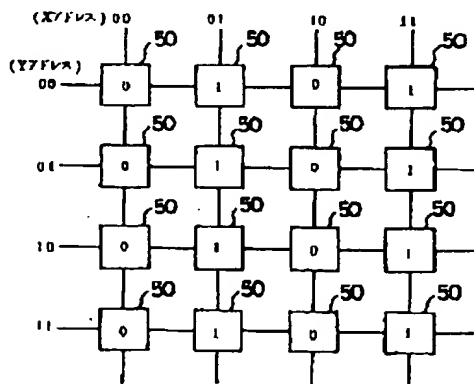
【図19】前記第2実施例の総和演算処理の具体例を示す図である。

【図20】前記第2実施例の総和演算処理の具体例を示す図である。

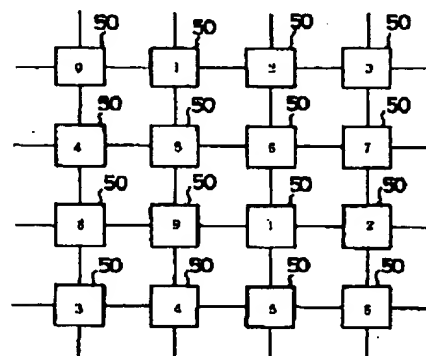
【符号の説明】

- 10 演算部
- 20 制御部
- 50 PE
- 51 基本演算部
- 53 転送用シフトレジスタ
- 54 セレクタ
- 55 Fレジスタ
- 56 加算用レジスタ
- 57 Xアドレスレジスタ
- 58 Yアドレスレジスタ

【図6】



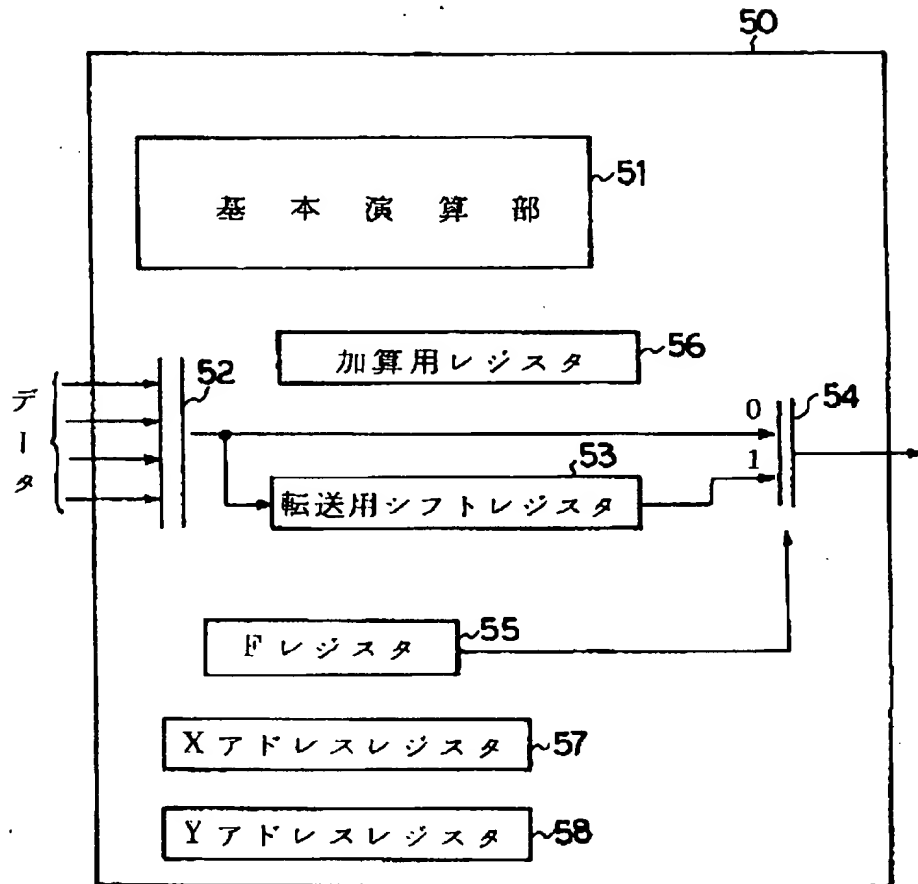
【図7】





【図1】

本発明のP E

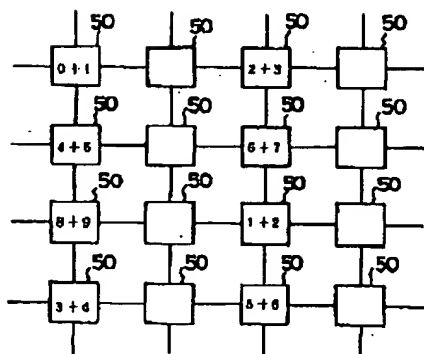


50：基本演算要素

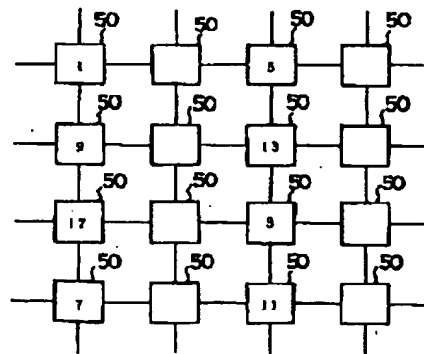
52：4 to 1 セレクタ

54：2 to 1 セレクタ

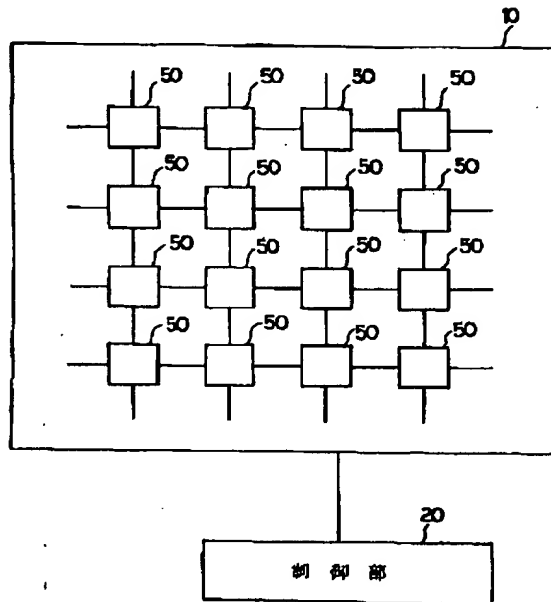
【図8】



【図9】

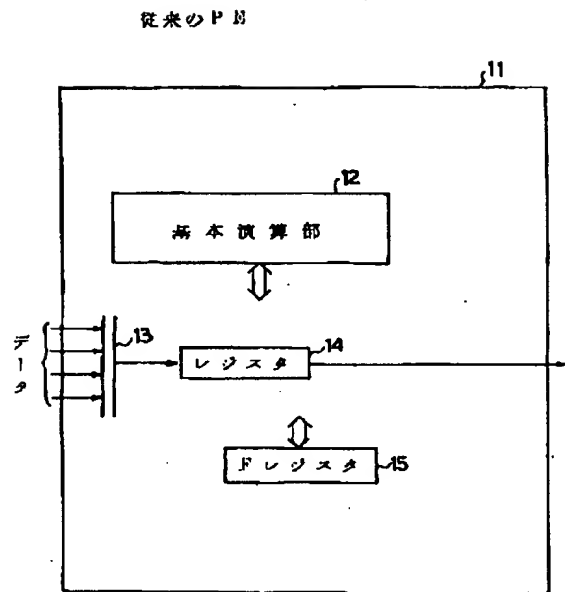


【図2】

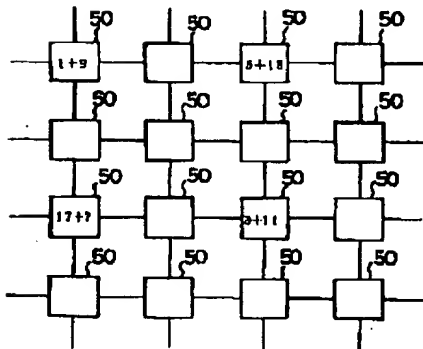


10: 演算部  
11: 基本演算要素

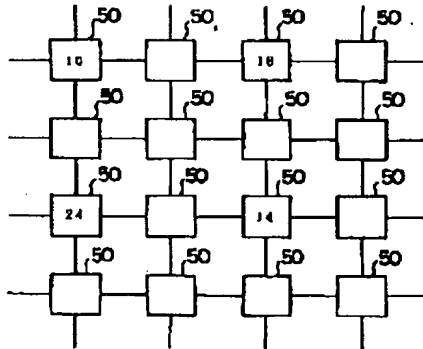
【図3】



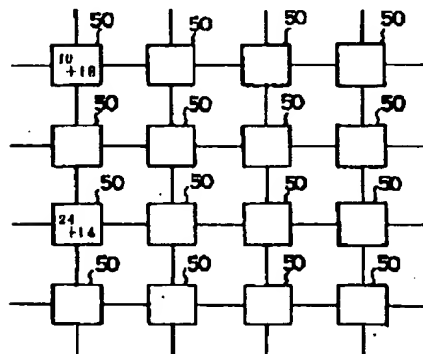
【図10】



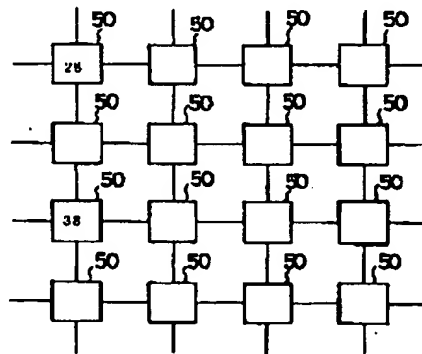
【図11】



【図12】

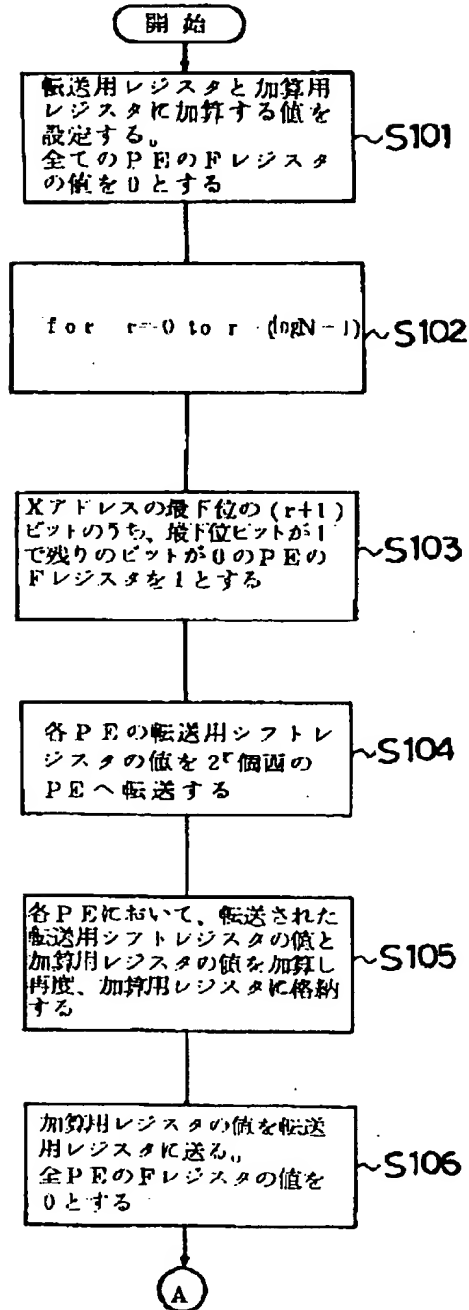


【図13】

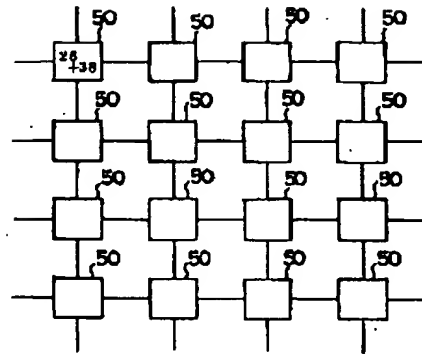


【図4】

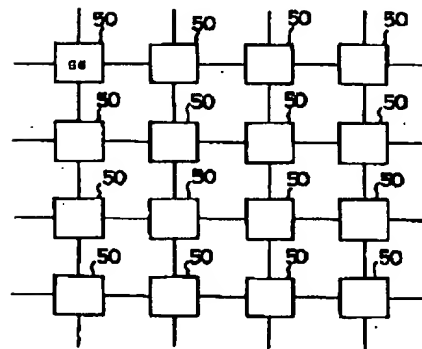
## 総和演算処理



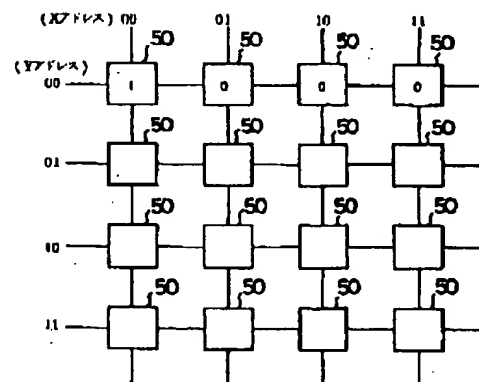
【図14】



【図15】

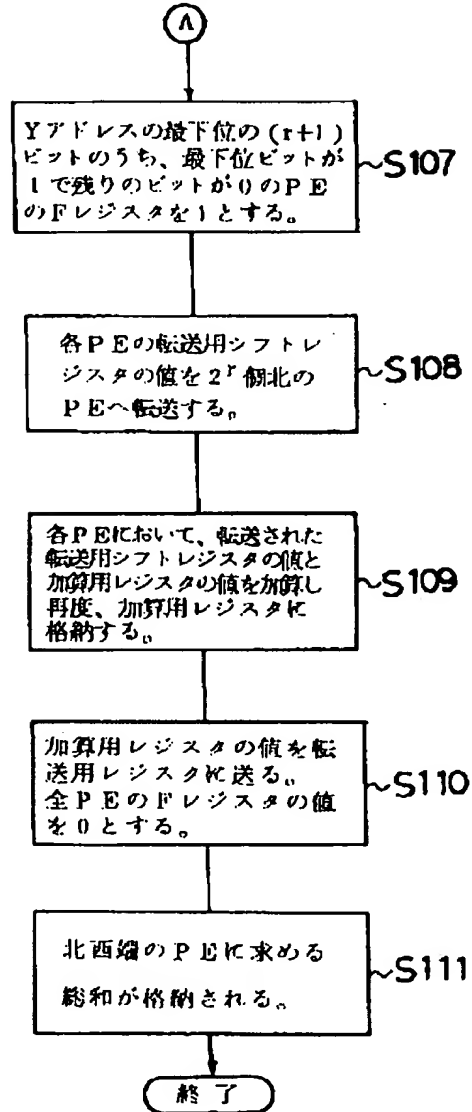


【図16】

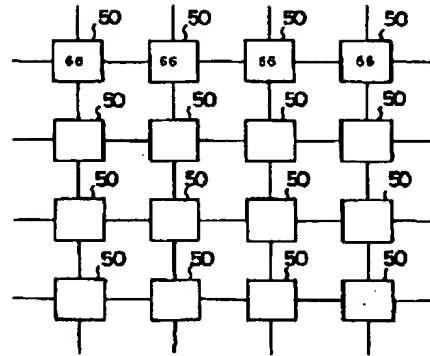


【図5】

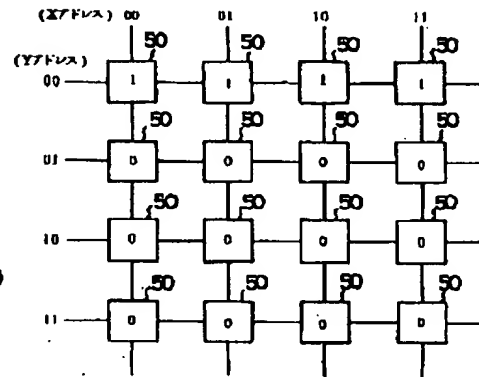
## 総和演算処理



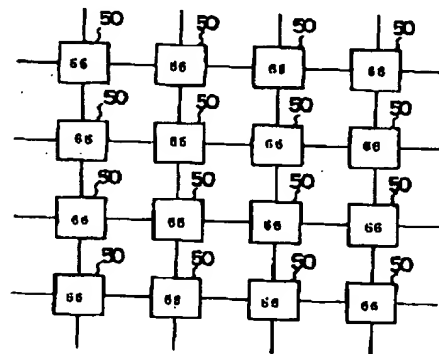
【図17】



【図18】



【図19】



【図20】

